

(1)特許出願公開番号

特開2002-151644
(P2002-151644A)

(43)公開日 平成14年5月24日(2002.5.24)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 25/065		H 0 1 L 23/12	5 0 1 W
23/12	5 0 1	25/08	Z
25/07			
25/18			

審査請求 未請求 請求項の数14 OL (全 25 頁)

(21)出願番号	特願2001-121539(P2001-121539)	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成13年4月19日(2001.4.19)	(72)発明者	菊間 克仁 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31)優先権主張番号	特願2000-267621(P2000-267621)	(72)発明者	池田 充貴 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(32)優先日	平成12年9月4日(2000.9.4)	(74)代理人	100070150 弁理士 伊東 忠彦
(33)優先権主張国	日本(JP)		

最終頁に続く

最終頁に続く

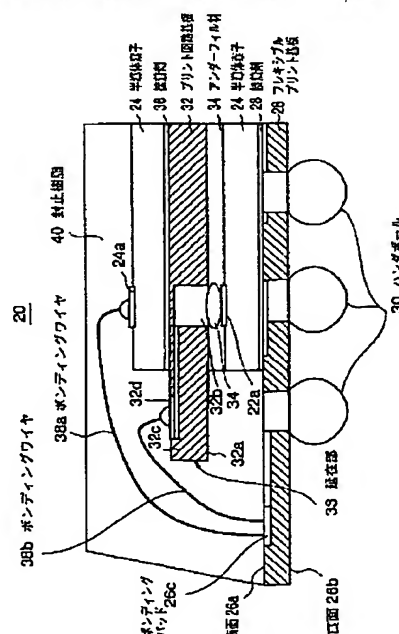
(54) 【発明の名称】 積層型半導体装置及びその製造方法

(57) 【要約】

【課題】 本発明は、任意のサイズの複数の半導体素子を積層状態で一つのパッケージに収容することのできる積層型半導体装置及びその製造方法を提供することを課題とする。

【解決手段】 外部接続用端子が設けられたフレキシブルプリント基板 26 に第 1 の半導体素子 22 を搭載する。第 1 の半導体素子 22 上にプリント配線基板 32 を設け第 1 の半導体素子 22 をフリップチップ実装する。プリント配線基板 32 上に第 2 の半導体素子 24 を固定する。第 2 の半導体素子 24 をフレキシブルプリント基板 26 にワイヤボンディングし、第 1 の半導体素子 22 をプリント回路基板 32 を介してフレキシブルプリント基板 26 にワイヤボンディングする。

本発明の図1の要部の形状による積層型半導体結晶の一部の断面図



【特許請求の範囲】

【請求項 1】 外部接続用端子が設けられた第 1 の基板と、該第 1 の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第 1 の端子と、該第 1 の基板上に搭載された少なくとも一つの第 1 の半導体素子と、該第 1 の半導体素子上に設けられた第 2 の基板と、該第 2 の基板上に搭載された少なくとも一つの第 2 の半導体素子とがパッケージされた積層型半導体装置であって、前記第 1 の半導体素子及び前記第 2 の半導体素子の少なくとも一方は、前記第 2 の基板の第 2 の端子に電氣的に接続され、且つ前記第 2 の端子は前記第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

【請求項 2】 請求項 1 記載の積層型半導体装置であって、前記第 2 の半導体素子は前記第 1 の基板の第 1 の端子にワイヤボンディングされ、前記第 1 の半導体素子は前記第 2 の基板にフリップチップ実装され、前記第 2 の基板の第 2 の端子は前記第 1 の基板の第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

【請求項 3】 請求項 2 記載の積層型半導体装置であって、前記第 2 の基板は前記第 2 の半導体素子の外形を超えて延出した延在部を有しており、前記第 2 の基板の第 2 の端子は該延在部に形成されたボンディングパッドであって、前記第 2 の端子は前記第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

【請求項 4】 請求項 3 記載の積層型半導体装置であって、前記第 2 の基板の前記延在部に切り欠きが設けられ、前記第 2 の半導体素子と前記第 1 の基板の第 1 の端子とを接続するボンディングワイヤは前記切り欠き内を通して延在することを特徴とする積層型半導体装置。

【請求項 5】 請求項 1 記載の積層型半導体装置であって、前記第 1 の半導体素子は前記第 1 の基板の前記第 1 の端子にワイヤボンディングされ、前記第 2 の半導体素子は前記第 2 の基板の前記第 2 の端子にワイヤボンディングされ前記第 2 の基板の前記第 2 の端子は前記第 1 の基板の前記第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

【請求項 6】 請求項 5 記載の積層型半導体装置であって、前記第 2 の基板は前記第 2 の半導体素子の外形を超えて延出した延在部を有しており、前記第 2 の基板の前記第 2 の端子は該延在部に形成された第 1 のボンディングパッドを介して前記第 1 の基板の前記第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装

置。

【請求項 7】 請求項 6 記載の積層型半導体装置であって、前記第 2 の半導体素子は前記第 2 の基板に形成された第 2 のボンディングパッドにワイヤボンディングされ、該第 2 のボンディングパッドは前記第 2 の基板上に形成されたパターン配線を介して前記第 1 のボンディングパッドに接続されたことを特徴とする積層型半導体装置。

【請求項 8】 請求項 1 記載の積層型半導体装置であって、前記第 2 の基板は周囲に向かって延出した延出部を有し、該延出部はパッケージされた半導体装置の側面に露出した端面を有することを特徴とする積層型半導体装置。

【請求項 9】 請求項 8 記載の積層型半導体装置であって、前記延出部の端面は前記積層型半導体装置を個片化する際の切断により形成された切断面であることを特徴とする積層型半導体装置。

【請求項 10】 請求項 1 記載の積層型半導体装置であって、前記第 2 の基板の前記第 2 の端子が設けられた面とは反対側の面に実質的に全面に渡って伝熱層が設けられたことを特徴とする積層型半導体装置。

【請求項 11】 外部接続用端子が設けられた第 1 の基板と、該第 1 の基板上に積層状態で搭載された複数の半導体素子と、該複数の半導体素子の間に設けられた第 2 の基板とを有し、前記第 1 の基板上に前記半導体素子と前記第 2 の基板とがパッケージされた積層型半導体装置であって、前記第 2 の基板は、直上の半導体素子の外周より延出した延在部を有しており、前記半導体素子のうち直上又及び直下の半導体素子の少なくとも一方に電氣的に接続されたボンディングパッドが前記延在部に設けられ、該ボンディングパッドはワイヤボンディングにより前記第 1 の基板に電氣的に接続されたことを特徴とする積層型半導体装置。

【請求項 12】 外部接続用端子が設けられた第 1 の基板と、該第 1 の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第 1 の端子と、該第 1 の基板上に搭載された少なくとも一つの第 1 の半導体素子と、該第 1 の半導体素子上に設けられた再配線層と、該再配線層上に搭載された少なくとも一つの第 2 の半導体素子と、該再配線層上に搭載された試験用半導体素子とがパッケージされた積層型半導体装置であって、前記第 1 の半導体素子及び前記第 2 の半導体素子の少なくとも一方は、前記再配線層を介して前記第 1 の基板に電氣的に接続され、且つ前記試験用半導体素子は前記再

配線層に電気的に接続されたことを特徴とする積層型半導体装置。

【請求項13】 積層型半導体装置の製造方法であって、
第1の半導体素子に突起電極を形成し、
前記第1の半導体素子を第2の基板にフリップチップ実装し、
該第2の基板の前記第1の半導体素子の反対側に、前記第2の基板より小さい寸法を有する第2の半導体素子を固定すると共に前記第1の半導体素子を第1の基板の表面に固定し、
前記第1及び第2の半導体素子の各々を前記第1の基板に設けられた端子にワイヤボンディングし、
前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、
前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とする積層型半導体装置の製造方法。

【請求項14】 積層型半導体装置の製造方法であって、
第1の基板の表面に第1の半導体素子を固定すると共に、該第1の半導体素子の上に第2の基板を固定し、且つ該第2の基板より小さい寸法を有する第2の半導体素子を前記第2の基板の上に固定し、
前記第2の半導体素子を前記第2の基板に設けられた第2の端子にワイヤボンディングすると共に、前記第2の基板及び前記第1の半導体素子の各々を前記第1の基板に設けられた第1の端子にワイヤボンディングし、
前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、
前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とする積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係わり、特に複数の半導体素子を積層して一つのパッケージとした積層型半導体装置及びその製造方法に関する。

【0002】近年、移動体電話機のような携帯型電子機器や、ICメモ리카ードのような不揮発性記憶媒体等はより小型化されており、これらの機器や媒体の部品点数の削減及び部品の小型化が要求されている。したがって、これらの機器を構成する部品のうちの主要部品である半導体素子を効率的にパッケージする技術の開発が望まれている。そのような要求を満たすパッケージとして、半導体素子と同程度の大きさのパッケージであるチップスケールパッケージ(CSP)や複数の半導体素子を1つのパッケージ内に収容したマルチチップパッケージ(MCP)などがある。

【0003】

【従来の技術】上述のCSPやMCPを実現する手段として、スタックド・マルチチップパッケージ(S-MCP)に代表されるような複数の半導体素子を積層して1つのパッケージとする技術が開発されている。

【0004】図1は2つの半導体素子を積層して形成した従来のS-MCPの構成を示す図である。図1に示すように、従来のS-MCPでは、半導体素子2を基板4に搭載し、半導体素子2より小さいサイズの半導体素子6を半導体素子2の上に積層して搭載している。半導体素子2及び6の電極はボンディングワイヤ8により基板4のパッドに接続され、基板4のパッドは外部接続端子10に電気的に接続されている。そして、半導体素子2及び6及びボンディングワイヤ8は封止樹脂12により封止されパッケージされている。

【0005】また、図1に示すS-MCPに類似したパッケージとしてスタックドCSPがあるが、その積層構造はS-MCPと同様である。

【0006】

20 【発明が解決しようとする課題】上述の従来のS-MCPでは、上側の半導体素子6は下側の半導体素子2より小さいサイズなければならない。すなわち、上側の半導体素子6は、下側の半導体素子2の電極を覆ってしまわないようなサイズとする必要がある。また、上側の半導体素子6が下側の半導体素子2に比較して小さすぎると、上側の半導体素子6の電極と基板4のパッドとの距離が大きくなってしまい、ワイヤボンディングに支障をきたすおそれがある。

30 【0007】図2は上側の半導体素子と下側の半導体素子の配置関係を示す図である。

【0008】図2(a)は適切に積層された2つの半導体素子の配置関係を示している。すなわち、上側の半導体素子6は下側の半導体素子2の電極を覆わない適度に小さいサイズであり、上側の半導体素子6の電極及び下側の半導体素子2の電極は両方とも基板4のパッド8に対してワイヤボンディング可能である。

【0009】図2(b)は、積層できないサイズ関係の半導体素子を示す。すなわち、図2(b)に示す上側の半導体素子6は下側の半導体素子2とはほぼ同じサイズであり、これらを積層すると上側の半導体素子6が下側の半導体素子2の電極を覆ってしまう。このため、下側の半導体素子2の電極をワイヤボンディングすることができない。

50 【0010】図2(c)は、積層はできるが、ワイヤボンディングに支障をきたす例である。すなわち、図2(c)に示す上側の半導体素子6は、下側の半導体素子2に比較してかなり小さいため、上側の半導体素子6の電極から基板4のパッドまでの距離が大きくなってしまふ。したがって、ボンディングワイヤ8を張るための距離が大きすぎて、ボンディングできないという場合があ

る。また、ボンディングできたとしても、ボンディングワイヤ8が長すぎて変形した際に周囲の部品に接触してしまうという不具合が生じるおそれがある。

【0011】また、図2(d)は、積層はできるが、パッケージサイズが大きくなってしまふ例である。すなわち、図2(d)に示す上側の半導体素子6は下側の半導体素子2の電極を覆うことなく積層できるが、幅が大きすぎるため、下側の半導体素子2から大きくはみ出してしまふ。このような構成では、パッケージ全体としてのサイズを効率的に縮小することはできない。また、上側の半導体素子6のはみ出した部分は下から支持されていないため、ワイヤボンダのキャピラリが半導体素子6の電極に押し付けられた際にその押圧力により、上側の半導体素子6が破損するおそれもある。

【0012】以上のように、従来のS-MCPにおいては、同一サイズの(すなわち同じ種類の)半導体素子を積層することはできなかった。また、積層可能な半導体素子のサイズが限られてしまい、S-MCPに適用できる半導体素子が限られてしまっていた。

【0013】同じ種類の半導体素子を積層する方法として、電極配列が対称となるように形勢されたリバース半導体素子を背中合わせに貼り合わせて積層する方法がある。しかし、リバース半導体素子を作成するには、製造工程において2種類のマスクを準備する必要があり、半導体素子の製造コストが増大してしまふ。

【0014】また、半導体素子が長方形の場合、同じ種類の半導体素子を互いに90度回転して十字型に配列して積層することができるが、上述の図2(d)に関連して説明したような問題があり、実用的ではない。

【0015】本発明は上記の点に鑑みてなされたものであり、任意のサイズの複数の半導体素子を積層状態で一つのパッケージに収容することのできる積層型半導体装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0017】請求項1記載の発明は、外部接続用端子が設けられた第1の基板と、該第1の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第1の端子と、該第1の基板上に搭載された少なくとも一つの第1の半導体素子と、該第1の半導体素子上に設けられた第2の基板と、該第2の基板上に搭載された少なくとも一つの第2の半導体素子とがパッケージされた積層型半導体装置であって、前記第1の半導体素子及び前記第2の半導体素子の少なくとも一方は、前記第2の基板の第2の端子に電気的に接続され、且つ前記第2の端子は前記第1の端子にワイヤボンディングされたことを特徴とするものである。

【0018】請求項1記載の発明によれば、第1及び第

2の半導体素子のうちの一方を、外部接続用電極が設けられた第1の基板に対して直接電気的に接続し、他方を第2の基板を介して第1の基板に電気的に接続することができる。したがって、第1の半導体素子と第2の半導体素子とが同じサイズであっても、一方を直接第1の基板の第1の端子にワイヤボンディングし、他方を第2の基板の第2の端子を介してワイヤボンディングにより第1の基板に電気的に接続することができる。また、第2の半導体素子が第1の半導体素子よりかなり小さい場合でも、第1の半導体素子を直接第1の基板の第1の2端子ワイヤボンディングし、第2の半導体素子を第2の基板の第2の端子を介して第1の基板の第1の端子にワイヤボンディングにより電気的に接続することができる。したがって、第2の基板を第1の半導体素子と第2の半導体素子との間に設けることにより、任意のサイズの複数の半導体素子を積層状態で一つのパッケージに収容することができる。

【0019】請求項2記載の発明は、請求項1記載の積層型半導体装置であって、前記第2の半導体素子は前記第1の基板の第1の端子にワイヤボンディングされ、前記第1の半導体素子は前記第2の基板にフリップチップ実装され、前記第2の基板の第2の端子は前記第1の基板の第1の端子にワイヤボンディングされたことを特徴とするものである。

【0020】請求項2記載の発明によれば、第1の半導体素子を第2の基板にフリップチップ実装することにより、第1の半導体素子の電極を第2の基板の反対側に形成されたボンディングパッドに電気的に接続することができる。このボンディングパッドを第1の基板の第1の端子にワイヤボンディングすることにより、第1の半導体素子を第1の基板に電気的に接続することができる。また、第2の半導体素子を第2の基板上に電極を上に向けて固定することにより、第2の半導体素子は第1の基板の第1の端子に直接ワイヤボンディングすることができる。

【0021】請求項3記載の発明は、請求項2記載の積層型半導体装置であって、前記第2の基板は前記第2の半導体素子の外形を超えて延出した延在部を有しており、前記第2の基板の第2の端子は該延在部に形成されたボンディングパッドであって、前記第2の端子は前記第1の端子にワイヤボンディングされたことを特徴とするものである。

【0022】請求項3記載の発明によれば、第2の基板の延在部にボンディングパッドを設けることにより、第1の基板へのワイヤボンディングの距離が小さくなり、確実なワイヤボンディングを行うことができる。

【0023】請求項4記載の発明は、請求項3記載の積層型半導体装置であって、前記第2の基板の前記延在部に切り欠きが設けられ、前記第2の半導体素子と前記第1の基板の第1の端子とを接続するボンディングワイヤ

は前記切り欠き内を通して延在することを特徴とするものである。

【0024】請求項4記載の発明によれば、ボンディングワイヤが切り欠き部を通過するように構成することにより、ボンディングワイヤの長さを短くすることができ、ボンディングワイヤが周囲の部品又は隣接するボンディングワイヤに接触することを防止することができる。

【0025】請求項5記載の発明は、請求項1記載の積層型半導体装置であって、前記第1の半導体素子は前記第1の基板の前記第1の端子にワイヤボンディングされ、前記第2の半導体素子は前記第2の基板の前記第2の端子にワイヤボンディングされ前記第2の基板の前記第2の端子は前記第1の基板の前記第1の端子にワイヤボンディングされたことを特徴とするものである。

【0026】請求項5記載の発明によれば、第2の半導体素子が第2の基板の第2の端子にワイヤボンディングされ、第2の半導体素子が第1の基板の第1の端子にワイヤボンディングされる。このため、第2の半導体素子が第1の半導体素子よりかなり小さいサイズであって、ワイヤボンディングの距離を長くすることなく、第2の半導体素子を第1の基板に電気的に接続することができる。

【0027】請求項6記載の発明は、請求項5記載の積層型半導体装置であって、前記第2の基板は前記第2の半導体素子の外形を超えて延出した延在部を有しており、前記第2の基板の前記第2の端子は該延在部に形成された第1のボンディングパッドを介して前記第1の基板の前記第1の端子にワイヤボンディングされたことを特徴とするものである。

【0028】請求項6記載の発明によれば、第2の基板の延在部にボンディングパッドを設けることにより、第1の基板へのワイヤボンディングの距離が小さくなり、確実なワイヤボンディングを行うことができる。

【0029】請求項7記載の発明は、請求項6記載の積層型半導体装置であって、前記第2の半導体素子は前記第2の基板に形成された第2のボンディングパッドにワイヤボンディングされ、該第2のボンディングパッドは前記第2の基板上に形成されたパターン配線を介して前記第1のボンディングパッドに接続されたことを特徴とするものである。

【0030】請求項7記載の発明によれば、第2の基板に形成されたパターン配線を介して、第2の半導体素子の電極を第2の基板の任意の位置に引き回すことができる。したがって、ワイヤボンディングの位置を任意の位置に変更することができ、自由度の高いワイヤボンディングを実現することができる。

【0031】請求項8記載の発明は、請求項1記載の積層型半導体装置であって、前記第2の基板は周囲に向かって延出した延出部を有し、該延出部はパッケージされ

た半導体装置の側面に露出した端面を有することを特徴とするものである。

【0032】請求項8記載の発明によれば、第2の基板の延出部は半導体装置の内部から延在して側面に露出する。半導体装置の内部に存在する水分は、延出部と封止樹脂との界面に沿って移動し、側面に露出した部分から半導体装置の外部に放出される。したがって、ハンダリフローの際に半導体装置内部に閉じ込められた水分が急激に蒸発することに起因したボイドの発生などを防止することができ、半導体装置の信頼性を向上することができる。

【0033】請求項9記載の発明は、請求項8記載の積層型半導体装置であって、前記延出部の端面は前記積層型半導体装置を個片化する際の切断により形成された切断面であることを特徴とするものである。

【0034】請求項9記載の発明によれば、複数の第2の基板同士を繋ぐ部分を延出部として形成し、半導体装置を個片化する際に延出部を切断することで、半導体装置の側面に露出した延出部の端面を容易に形成することができる。

【0035】請求項10記載の発明は、請求項1記載の積層型半導体装置であって、前記第2の基板の前記第2の端子が設けられた面とは反対側の面に実質的に全面に渡って伝熱層が設けられたことを特徴とするものである。

【0036】請求項10記載の発明によれば、第2の基板の伝熱層は半導体装置内の熱を拡散して温度分布を均一化するよう作用し、半導体装置の温度を実質的に下げることができる。伝熱層は金属層であることが好ましい。

【0037】請求項11記載の発明は、積層型半導体装置であって、外部接続用端子が設けられた第1の基板と、該第1の基板上に積層状態で搭載された複数の半導体素子と、該複数の半導体素子の間に設けられた第2の基板とを有し、前記第1の基板上に前記半導体素子と前記第2の基板とがパッケージされた積層型半導体装置であって、前記第2の基板は、直上の半導体素子の外周より延出した延在部を有しており、前記半導体素子のうち直上又及び直下の半導体素子の少なくとも一方に電気的に接続されたボンディングパッドが前記延在部に設けられ、該ボンディングパッドはワイヤボンディングにより前記第1の基板に電気的に接続されたことを特徴とするものである。

【0038】請求項11記載の発明によれば、任意の数の同種類の半導体装置を積層状態で第1の基板上に配置してパッケージすることができる。上述の発明において、例えば、前記半導体素子は同種類の半導体素子であり、第1の基板に対して同じ位置の垂直方向に積層されることとしてもよい。また、第2の基板の延在部の延在長さは、第1の基板に近づくほど大きくなり、最上段に

位置する第2の基板から順に直下の第2の基板にワイヤボンディングされ、最下段に位置する第2の基板は第1の基板にワイヤボンディングされることとしてもよい。さらに、第2の基板の延在部は実質的に等しい延在長さを有しており、第2の基板の各々は第1の基板に直接ワイヤボンディングされることとしてもよい。

【0039】請求項12記載の発明は、外部接続用端子が設けられた第1の基板と、該第1の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第1の端子と、該第1の基板上に搭載された少なくとも一つの第1の半導体素子と、該第1の半導体素子上に設けられた再配線層と、該再配線層上に搭載された少なくとも一つの第2の半導体素子と、該再配線層上に搭載された試験用半導体素子とがパッケージされた積層型半導体装置であって、前記第1の半導体素子及び前記第2の半導体素子の少なくとも一方は、前記再配線層を介して前記第1の基板に電気的に接続され、且つ前記試験用半導体素子は前記再配線層に電気的に接続されたことを特徴とするものである。

【0040】請求項12記載の発明によれば、第1の半導体装置上に再配線層を介して第2の半導体素子と試験用半導体素子とが搭載される。第1の半導体素子及び第2の半導体素子の試験を行うための試験回路を試験用半導体素子に形成することにより、半導体装置内部に試験回路を容易に組み込むことができる。また、第1及び第2の半導体素子の全ての電極を半導体装置の外部に引き出す必要はなく、試験用回路に接続する入力及び出力端子を半導体装置に設けるだけでよい。これにより、半導体装置の寸法を増大することなく試験回路を組み込むことができる。

【0041】請求項13記載の発明は、積層型半導体装置の製造方法であって、第1の半導体素子に突起電極を形成し、前記第1の半導体素子を第2の基板にフリップチップ実装し、該第2の基板の前記第1の半導体素子の反対側に、前記第2の基板より小さい寸法を有する第2の半導体素子を固定すると共に前記第1の半導体素子を第1の基板の表面に固定し、前記第1及び第2の半導体素子の各々を前記第1の基板にワイヤボンディングし、前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とするものである。

【0042】請求項13記載の発明によれば、第1の半導体素子を第2の基板にフリップチップ実装することにより、第1の半導体素子の電極を第2の基板の反対側に形成されたボンディングパッドに電気的に接続することができる。このボンディングパッドを第1の基板にワイヤボンディングすることにより、第1の半導体素子を第1の基板に電気的に接続することができる。また、第2の半導体素子を第2の基板上に電極を上に向けて固定す

ることにより、第2の半導体素子は第1の基板に直接ワイヤボンディングすることができる。

【0043】請求項14記載の発明は、積層型半導体装置の製造方法であって、第1の基板の表面に第1の半導体素子を固定すると共に、該第1の半導体素子の上に第2の基板を固定し、且つ該第2の基板より小さい寸法を有する第2の半導体素子を前記第2の基板の上に固定し、前記第2の半導体素子を前記第2の基板にワイヤボンディングすると共に、前記第2の基板及び前記第1の半導体素子の各々を前記第1の基板にワイヤボンディングし、前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とするものである。

【0044】請求項14記載の発明によれば、第2の半導体素子が第2の基板にワイヤボンディングされ、第2の半導体素子が第1の基板にワイヤボンディングされる。このため、第2の半導体素子が第1の半導体素子よりかなり小さいサイズであっても、ワイヤボンディングの距離を長くすることなく、第2の半導体素子を第1の基板に電気的に接続することができる。

【発明の実施の形態】次に、本発明の第1実施例について図3及び図4を参照しながら説明する。図3は本発明の第1の実施の形態による積層型半導体装置の一部の断面図である。図4は本発明の第1の実施の形態による積層型半導体装置の製造工程を説明するための図である。

【0045】図3に示すように、本発明の第1の実施の形態による半導体装置20は、2つの同種類の半導体素子22及び24を積層してパッケージしたものである。

下側の半導体素子22は電極が形成された面を上に向けた状態で、第1の基板であるフレキシブルプリント基板26に搭載されている。すなわち、半導体素子22の背面は接着剤28によりフレキシブルプリント基板26に接着されている。

【0046】フレキシブルプリント基板26は、搭載された半導体素子22より大きいサイズであり、半導体素子22を搭載する表面26aにボンディングパッド26cを有している。ボンディングパッド26cは、フレキシブルプリント基板26の裏面26bに設けられた外部接続用突起電極としてのハンダボール30に電気的に接続されている。

【0047】半導体素子22の上には第2の基板であるプリント回路基板32が配置され、半導体素子22はプリント回路基板32に対してフリップチップ実装されている。すなわち、半導体素子22の電極22aには突起電極（パンプ）34が形成され、突起電極34とプリント回路基板32の裏面32aに形成された電極パッド32bとがフリップチップ接合されている。また、プリント回路基板32の表面32cにはボンディングパッド32dが形成されており、ボンディングパッド32dは電

極パッド32bに電氣的に接続されている。したがって、半導体素子22の電極22aは、突起電極34及び電極パッド32bを介してボンディングパッド32dに電氣的に接続されている。

【0048】また、半導体素子24は、電極24aが形成された面を上に向けた状態で、プリント回路基板32の表面32cに接着剤36により固定されている。そして、半導体素子24の電極24aは、ボンディングワイヤ38aによりフレキシブルプリント基板26のボンディングパッド26cに電氣的に接続されている。また、

プリント回路基板32のボンディングパッド32dは、ボンディングワイヤ38bによりフレキシブルプリント基板26のボンディングパッド26cに電氣的に接続されている。

【0049】上述のように積層された半導体素子22及び24は、ボンディングワイヤ38a及び38bと共に封止樹脂40により封止されており、パッケージされた半導体装置20を構成している。

【0050】上述のように、半導体素子22の電極22aは、突起電極34及び電極パッド32bを介してボンディングパッド32dに電氣的に接続されているため、半導体素子22の電極22及び半導体素子24の電極24aの両方ともフレキシブルプリント基板26のボンディングパッド26cに電氣的に接続されている。したがって、半導体素子22の電極22a及び半導体素子24の電極24aの両方ともボンディングパッド26cを介してハンダボール30に電氣的に接続されている。

【0051】上述の構成において、第2の基板として半導体素子22及び24の間に配置されたプリント回路基板32は、ボンディングパッド32dが上側の半導体素子24により覆われてしまわないように、上側の半導体素子24より大きいサイズとされており、上側の半導体素子24からはみだた部分にボンディングパッド32dが設けられている。すなわち、第2の基板としてのプリント回路基板32は、上側の半導体素子24の外周より延出した延在部33を有しており、この延在部33にボンディングパッド32dが設けられている。

【0052】本実施の形態では、半導体素子22及び24は同種類のものであるため、サイズは等しい。したがって、半導体素子22と24とがプリント回路基板32の表面32c及び裏面32aの同じ位置に配置されるように構成することにより、プリント回路基板32の中央部分が半導体素子22及び24に挟まれた状態で、外周部のみが半導体素子22及び24の外周から延出した状態となる。このプリント基板の延出した部分に、半導体素子22の電極22aを接続するためのボンディングパッド32dが配置されている。

【0053】ここで、プリント回路基板32のボンディングパッド32dにボンディングワイヤ38aを接続する際に、ワイヤボンダのキャピラリがボンディングパ

ッド32dの真上に配置されなければならない。したがって、プリント回路基板32の延出部の延出長さは、キャピラリがボンディングパッド32dの真上に配置できるような長さでなければならない。

【0054】一方、ボンディングパッド32dにボンディングワイヤ38aを接続する際は、キャピラリから延出したボンディングワイヤの端部がボンディングパッド32dに押圧される。プリント回路基板32の延出部は下側から支持されていないため、このボンディングワイヤによる押圧力により変形又は破損しないように、延出長さはなるべく短いほうが好ましい。

【0055】したがって、プリント回路基板32の半導体素子22及び24からの延出長さは、キャピラリが配置可能であって、且つワイヤボンディング時の押圧力でプリント回路基板の延出部が破損しないような長さに設定される。また、プリント回路基板32の材質はある程度押圧力に耐えられるように剛性を有することが好ましい。

【0056】また、フレキシブルプリント基板26にはボンディングワイヤ38a及び38bが接続されるボンディングパッド26cが設けられる。ボンディングパッド26cが設けられる位置はプリント回路基板30より外側でなければならないので、フレキシブルプリント基板26は、プリント回路基板32より大きいサイズとする必要がある。

【0057】次に、図4を参照しながら、本発明の第1の実施の形態による積層型半導体装置20の製造工程について説明する。

【0058】積層型半導体装置20を製造するには、まず、図4(a)に示すように下側の半導体素子22の電極22aにバンブ34を形成する。次に、図4(b)に示すように、半導体素子22をフリップチップボンディングによりプリント回路基板32に実装する。

【0059】そして、図4(c)に示すように、下側の半導体素子22の背面をフレキシブルプリント基板26の表面26aに接着剤28により接着すると同時に、上側の半導体素子24を下側の半導体素子22の位置に合わせて接着剤36によりプリント回路基板32の表面32cに接着する。

【0060】次に、図4(d)に示すように、半導体素子22の電極22aとボンディングパッド26cとをボンディングワイヤ38bにより接続し、且つ半導体素子24の電極24aとボンディングパッド26cとをボンディングワイヤ38aにより接続する。この際、後述するように、半導体素子22と24は同種類の半導体素子であり、半導体素子22と24の電極で共通に使用できる電極は同じボンディングパッド26cに接続される。

【0061】次に、図4(e)に示すように、半導体素子22及び24をボンディングワイヤ38a及び38bと共に封止樹脂40により封止する。そして、図4(f)

に示すように、フレキシブルプリント基板26の裏面26bに外部接続用突起電極としてのハンダボール30を形成して、積層型半導体装置20が完成する。

【0062】本実施の形態による積層型半導体装置20では、下側の半導体素子22と上側の半導体素子24とが同種類の半導体素子であって、そのサイズが同じであるが、それらの間に第2の基板としてのプリント回路基板32を設けているため、下側の半導体素子22の電極22aをプリント回路基板32を介して第1の基板としてのフレキシブルプリント基板26のボンディングパッド26cに接続することができる。すなわち、プリント回路基板32を設けるだけの簡単な構成で、同種類の半導体素子を積層状態でパッケージして一つの半導体装置とすることができる。

【0063】図5は半導体装置20における半導体素子22及び24を同種類のメモリチップ（I/O構成：8ビット×2＝16ビット）とした場合の配線例を示す図である。図5に示すような配線構成とすることにより、I/O構成を変更せずにメモリ容量を2倍にすることができる。なお、図5において、メモリ1は下側の半導体素子22に相当するメモリチップを表し、メモリ2は上側の半導体素子24に相当するメモリチップを表す。実際は、メモリ2はメモリ1の上に積層されているが、図5では便宜上並べて示してある。

【0064】メモリ1及びメモリ2の各々は、下位8ビットI/O端子、上位8ビットI/O端子、/BYTE端子、Address、その他端子を有している。さらに、メモリ1は/CE#1端子（チップイネーブル端子）及びVCC#1端子を有しており、メモリ2は/CE#2端子（チップイネーブル端子）及びVCC#2端子を有している。これらの端子のうち、下位8ビットI/O端子、上位8ビットI/O端子、/BYTE端子及びAddress、その他端子については、メモリ1とメモリ2に共通の信号を入力することができるので、半導体装置20の同じ外部接続端子（ハンダボール）30へと接続される。すなわち、メモリ1とメモリ2にそれぞれ対応する端子は、ボンディングワイヤ38a及び38bによりフレキシブルプリント基板26の同じボンディングパッド26cに接続される。

【0065】一方、これらの端子のうち、メモリ1の/CE#1端子（チップイネーブル端子）及びVCC#1端子と、メモリ2の/CE#2端子（チップイネーブル端子）及びVCC#2端子とは、メモリ1及びメモリ2を単独に制御できるように、別々に外部接続端子に接続される。すなわち、メモリ1及びメモリ2のチップイネーブル端子には別々に信号を供給できるようにするために共通化できないため、各々別の外部接続用端子に接続される。したがって、メモリ1の/CE#1端子は半導体装置20としての/CE#1端子に接続され、メモリ2の/CE#1端子は半導体装置20としての/CE#

2端子に接続されており、各々別個に信号を供給することができる。なお、メモリ1のVCC#1端子とメモリ2のVCC#2端子は共通化することもできるが、本実施の形態では別々の外部接続用端子に接続されている。

【0066】図6は、図5に示す配線例を実現するために設けられるボンディングワイヤの一部を示す簡略図である。図6において、上側のメモリ1の下位8ビットI/O端子（電極22aに相当）のうち、DQ0、DQ8、DQ1、DQ9端子が示されている。また、第2の基板としてのプリント回路基板32には、下側のメモリ2のDQ0、DQ8、DQ1、DQ9端子に接続されたボンディングパッドが示されている。

【0067】メモリ1及びメモリ2のDQ0、DQ8、DQ1、DQ9端子には、共通の信号を入力することができるため、これらの端子は第1の基板としてのフレキシブルプリント基板26の同一の端子に接続される。例えば、上側のメモリ1のDQ0端子と、下側のメモリ2のDQ0端子に接続されたボンディングパッドとは、基板26の同じボンディングパッド26cに接続される。

【0068】ここで、上側のメモリ1のDQ0端子とボンディングパッド26cとを結ぶボンディングワイヤ28aと、下側のメモリ2のDQ0端子に接続されたボンディングパッド32dとボンディングパッド26cとを結ぶボンディングパッド28bとは、図3に示すように高さ方向にずらして互いに接触しないように構成されている。図6に示す例では、プリント回路基板32の配線により、ボンディングパッド32dの位置をボンディングワイヤが延在する方向に対して横方向にもずらすことにより、ボンディングワイヤ28aと28bとがより一層接触しにくいように構成している。

【0069】図7は図5に示すメモリ1及びメモリ2の配線を変えて、I/O構成を2倍にした例である。すなわち、図7に示す配線例では、下位8ビットI/O端子と上位8ビットI/O端子とは共通に接続せず、各々別々に半導体装置20の外部接続用端子（ハンダボール）に接続される。したがって、これらの端子は、ボンディングワイヤ38a及び38bによりフレキシブルプリント基板26の別々のボンディングパッド26cに接続される。

【0070】メモリ1の/CE#1端子（チップイネーブル端子）及びVCC#1端子と、メモリ2の/CE#2端子（チップイネーブル端子）及びVCC#2端子とは、いずれか一方のメモリのみを使用する場合を考慮して、別々に外部接続端子に接続される。また、/BYTE端子はパッケージ内部で接続されてDWARD端子として一つの端子に接続される。DAORD端子は、I/O構成を16ビットと32ビットとに切り替える機能を果たす。その他の端子はすべて共通化可能である。

【0071】図8は、図7に示す配線例を実現するために設けられるボンディングワイヤの一部を示す簡略図で

ある。図8において、上側のメモリ1の下位8bit I/O端子（電極22aに相当）のうち、DQ0、DQ8、DQ1、DQ9端子が示されている。また、第2の基板としてのプリント回路基板32には、下側のメモリ2のDQ0、DQ8、DQ1、DQ9端子に接続されたボンディングパッド32dが示されている。

【0072】メモリ1及びメモリ2のDQ0、DQ8、DQ1、DQ9端子には、各々別個に信号を入力するため、これらの端子は第1の基板としてのフレキシブルプリント基板26の別個の端子に接続される。例えば、上側のメモリ1のDQ0端子はDQ端子として基板26のボンディングパッド26cに接続され、下側のメモリ2のDQ0端子に接続されたボンディングパッドはDQ8端子として別のボンディングパッド26cに接続される。

【0073】ここで、上側のメモリ1のDQ0端子とDQ0端子に相当するボンディングパッド26cとを結ぶボンディングワイヤ28aと、下側のメモリ2のDQ0端子に接続されたボンディングパッド32dとDQ8端子に相当するボンディングパッド26cとを結ぶボンディングパッド28bとは、互いに平行となるように、ボンディングパッド32dの位置をボンディングワイヤが延在する方向に対して横方向にずらすことにより、ボンディングワイヤ28aと28bとが接触しにくいように構成している。

【0074】ここで、上側のメモリ1の端子（電極）とフレキシブルプリント基板26のボンディングパッド26cとを結ぶボンディングワイヤ28aは、プリント回路基板32に接触しないように設けられなければならない。図8に示す例では、プリント回路基板32に切り欠き32eを設けて、ボンディングワイヤ28aを切り欠き32eを延在するように構成している。これにより、ボンディングワイヤ28aの長さを短くして、近傍の部品への接触を防止することができる。また、ワイヤボンディング装置のキャピラリがプリント回路基板32と接触することを防止することができる。

【0075】図9は、上述の実施の形態に基づいて半導体素子を複数個積層した例を示す。具体的には、図9(a)及び(b)に示す例はいずれも同種類の半導体素子4個をそれらの間に第2の基板を設けて積層した例である。積層が終了した時点では、最上段の半導体素子のみ電極が露出しており、最上段の半導体素子以外の半導体素子は第2の基板（プリント回路基板32）にフリップチップ実装されている。

【0076】図9(a)に示す半導体装置50は、同種類の半導体素子52-1〜52-4を4個積層した後一括してワイヤボンディングを行う構成である。ワイヤボンディングは、まず最上段の半導体素子52-4と最上段の第2の基板32-3との間で行われ、次に最上段の第2の基板32-3とすぐ下の第2の基板32-2と

の間で行われる。このように順次ワイヤボンディングして最後に最下段の第2の基板32-1と第1の基板（フレキシブルプリント基板26）との間でワイヤボンディングを行う。このようにワイヤボンディングを一括して行うには、下段の第2の基板のボンディングパッドが上段の第2の基板により覆われてしまわないように、下にいくほど第2の基板のサイズを大きくする必要がある。

【0077】図9(b)に示す半導体装置60は、同種類の半導体素子62-1〜62-4を一つずつ積層しながら、その都度ワイヤボンディングを行う構成である。すなわち、第1の基板（フレキシブルプリント基板26）上に最下段の半導体素子62-1を搭載し、その上に最下段の第2の基板32-1を搭載してフリップチップ実装した時点で、第2の基板32-1と第1の基板26との間でワイヤボンディングを行う。次に、最下段の第2の基板32-1の上に下から2番目の半導体素子62-2を固定してその上に下から2番目の第2の基板32-2を搭載してフリップチップ実装する。その後、下から2番目の第2の基板32-2と第1の基板26との間でワイヤボンディングを行う。このように、一つの半導体素子と第2の基板とを積層する毎にワイヤボンディングを行っていく。そして、最上段の半導体素子62-4を積層し、この最上段の半導体素子62-4と最上段の第2の基板32-3との間でワイヤボンディングすることにより、ワイヤボンディングが完了する。このような構成によれば、第2の1基板は全て同一のサイズとすることができる。

【0078】上述の実施の形態では、ワイヤボンディングされる電極が、半導体素子の対向する2辺に沿って配列された例に関して説明したが、電極が半導体素子の4辺に沿って配列されている場合にも適用できる。また、第2の基板（プリント回路基板32）は剛性を有する材料で作られることが好ましいが、基板の強度を十分確保することができるのであれば、パッケージを薄型化するためにフレキシブルプリント基板を使用してもよい。

【0079】次に、本発明の第2の実施の形態による積層型半導体装置について説明する。

【0080】図10は本発明の第2の実施の形態による積層型半導体装置の一部の断面図である。図11は本発明の第2の実施の形態による積層型半導体装置の積層構造を示す斜視図である。図12は本発明の第2の実施の形態による積層型半導体装置の製造工程を説明するための図である。なお、図10乃至12において、図3に示す構成部品と同等な部品には同じ符号を付し、その説明は省略する。

【0081】図10に示すように、本発明の第2の実施の形態による半導体装置70は、2つの異なるサイズの半導体素子72及び74を積層してパッケージしたものである。下側の半導体素子72は電極が形成された面を上に向けた状態で、第1の基板であるフレキシブルプリ

ント基板 26 に搭載されている。すなわち、半導体素子 72 の背面は接着剤 28 によりフレキシブルプリント基板 26 に接着されている。

【0082】フレキシブルプリント基板 26 は、搭載された半導体素子 72 より大きいサイズであり、半導体素子 72 を搭載する表面 26 a にボンディングパッド 26 c を有している。ボンディングパッド 26 c は、フレキシブルプリント基板 26 の裏面 26 b に設けられた外部接続用突起電極としてのハンダボール 30 に電氣的に接続されている。

【0083】半導体素子 72 の上には第 2 の基板であるフレキシブルプリント基板 76 が配置され、接着剤 78 により固定されている。フレキシブルプリント基板 76 の表面 76 c にはボンディングパッド 76 d 及び 76 b が形成されている。ボンディングパッド 76 d は、フレキシブルプリント基板 76 の周囲部分に形成されており、ボンディングパッド 76 b はフレキシブルプリント基板 76 の内側部分で半導体素子 74 が配置される部位の周辺に配置されている。ボンディングパッド 76 d は、パターン配線 76 e により対応する電極パッド 76 b に電氣的に接続されている。また、半導体素子 74 は、電極 74 a が形成された面を上に向けた状態で、フレキシブルプリント基板 76 の表面 76 c に接着剤 80 により固定されている。

【0084】以上のような積層構造において、上側の半導体素子 74 の電極 74 a はフレキシブルプリント基板 76 のボンディングパッド 76 b にボンディングワイヤ 82 により電氣的に接続されている。また、ボンディングパッド 76 d は、ボンディングワイヤ 84 によりフレキシブルプリント基板 26 のボンディングパッド 26 c に接続されている。

【0085】上述のように、ボンディングパッド 76 b はフレキシブルプリント基板 76 上のパターン配線 76 e によりボンディングパッド 76 d に電氣的に接続されているので、半導体素子 74 の電極 74 a は、ボンディングワイヤ 82、ボンディングパッド 76 b、配線パターン 76 e、ボンディングパッド 76 d 及びボンディングワイヤ 84 を介してフレキシブルプリント基板 26 のボンディングパッド 26 c に電氣的に接続されている。

【0086】一方、下側の半導体素子 72 の電極 72 a は、ボンディングワイヤ 86 により、フレキシブルプリント基板 26 のボンディングパッド 26 c に電氣的に接続されている。

【0087】上述のように積層された半導体素子 72 及び 74 は、ボンディングワイヤ 82、84、86 と共に封止樹脂 40 により封止されており、パッケージされた半導体装置 70 を構成している。

【0088】上述のように、半導体素子 72 の電極 22 a 及び半導体素子 74 の電極 74 a は両方ともフレキシブルプリント基板 26 のボンディングパッド 26 c に電

氣的に接続されており、したがって、半導体素子 72 の電極 72 a 及び半導体素子 74 の電極 74 a の両方ともボンディングパッド 26 c を介して外部接続用端子であるハンダボール 30 に電氣的に接続されている。

【0089】上述の積層構造において、下側の半導体素子 72 の上に設けられる第 2 の基板としてのフレキシブルプリント基板 76 は、下側の半導体素子 72 の電極 72 a が配置された部位より内側となるような大きさである。より詳細には、フレキシブルプリント基板 76 の端部が、電極 72 a にワイヤボンディングを施す際にワイヤボンディング装置のキャピラリがフレキシブルプリント基板 76 の端部に接触しないような大きさとされる。

【0090】また、フレキシブルプリント基板 76 のボンディングパッド 76 b は、積層される半導体素子 74 の大きさに対応した位置に設けられる。すなわち、ボンディングパッド 76 b は、半導体素子 74 の電極 74 a との間でワイヤボンディングを容易に行うことができるような位置に設けられる。すなわち、ボンディングパッド 76 b は、上側の半導体素子 74 の外周から延出した延在部 77 に設けられるため、ボンディングパッド 76 d から第 1 の基板であるフレキシブルプリント基板 26 へのワイヤボンディングを容易に行うことができる。

【0091】本実施の形態において使用される第 2 の基板は、フレキシブルプリント基板 76 であり、上述の第 1 の実施の形態に使用されるプリント回路基板 32 のように剛性を有していなくてもよい。すなわち、本実施の形態では、第 2 の基板の全体が下側の半導体素子 72 の上に搭載されて支持されるので、柔軟性を有していても問題はない。

【0092】また、図 11 に示すように、本実施例における上側の半導体素子 74 は下側の半導体素子 72 に比較して非常に小さいサイズであるが、第 2 の基板であるフレキシブルプリント基板 76 を設けることにより、上側の半導体素子 74 の電極 74 a を第 1 の基板であるフレキシブルプリント基板 26 のボンディングパッド 26 c まで効率的に接続することができる。

【0093】フレキシブルプリント基板 76 のパターン配線 76 e は、比較的自由に配置することができる。例えば、半導体素子 76 の一辺側に設けられた電極に対応するボンディングパッドを反対側まで引き回すことも可能である。

【0094】次に、図 12 を参照しながら図 10 に示す半導体装置 70 の製造工程について説明する。

【0095】まず、図 12 (a) に示すように、上述のような構成のフレキシブルプリント基板 26 及び 76 と、半導体素子 72 及び 74 とを準備する。次に、図 12 (b) に示すように、フレキシブルプリント基板 26 及び 76 と、半導体素子 72 及び 74 とを積層して各々を接着剤 28、78、80 により固定する。

【0096】次に、図 12 (c) に示すように、上側の

10

20

30

40

50

半導体素子74の電極74aとフレキシブルプリント基板76のボンディングパッド76bとをボンディングワイヤ82により電気的に接続する。また、下側の半導体素子72の電極72aとフレキシブルプリント基板26のボンディングパッド26cとをボンディングワイヤ84により電気的に接続する。更に、フレキシブルプリント基板76のボンディングパッド76dとフレキシブルプリント基板26の7ボンディングパッド26cとをボンディングワイヤ86により電気的に接続する。

【0097】ワイヤボンディング工程が終了した後、図12(d)に示すように、半導体素子72及び74をボンディングワイヤ82、84、86と共に封止樹脂40により封止する。そして、図12(e)に示すように、フレキシブルプリント基板26の裏面26bに外部接続用突起電極としてのハンダボール30を形成して、積層型半導体装置70が完成する。

【0098】図10に示す半導体装置70においては、下側の半導体素子の上にフレキシブルプリント基板を介して一つの半導体素子を積層しているが、上側の半導体素子が下側の半導体素子に比較してかなり小さい場合は、図13に示すようにフレキシブルプリント基板を介して複数個の半導体素子を下側の半導体素子に積層することもできる。

【0099】図13に示す半導体装置90では、下側の半導体素子72に対してフレキシブルプリント基板76を介して2つの半導体素子74-1及び74-2を積層している。半導体装置90の各部の構成及び製造方法は、図10に示す半導体装置70とほぼ同様であり、その説明は省略する。

【0100】以上のように、本実施の形態による積層型半導体層装置70及び90では、下側の半導体素子72と上側の半導体素子74又は74-1及び74-2とはサイズが大きく異なっているが、それらの間に第2の基板としてのフレキシブルプリント基板76を設けているため、下側の半導体素子72の電極72aをフレキシブルプリント基板76を介して第1の基板としてのフレキシブルプリント基板26のボンディングパッド26cに接続することができる。すなわち、フレキシブルプリント基板76を設けるだけの簡単な構成で、サイズが大きく異なる複数種類の半導体素子を積層状態でパッケージして一つの半導体装置とすることができる。

【0101】上述の実施の形態では、ワイヤボンディングされる電極が、半導体素子の対向する2辺に沿って配列された例に関して説明したが、電極が半導体素子の4辺に沿って配列されている場合にも適用できる。

【0102】また、下側の半導体素子72はワイヤボンディングによりフレキシブルプリント基板26に接続されているが、上述の第1の実施の形態のように、下側の半導体素子72に突起電極を設けてフレキシブルプリント基板76にフリップチップ実装することとしてもよ

い。この場合、下側の半導体素子72も、フレキシブルプリント基板76を介してフレキシブルプリント基板26に電気的に接続されることとなる。

【0103】また、第2の基板として柔軟性を有し薄膜化可能なフレキシブルプリント基板76を使用しているが、剛性を有する材料で作られたプリント回路基板を用いることとしてもよい。

【0104】また、図13に示す半導体装置90では、上側の半導体素子を2つ(複数個)としているが、下側の半導体素子も複数個とすることもできることは、上述の説明から容易に理解できるであろう。

【0105】次に、図10に示す本発明の第2の実施の形態による半導体装置70の様々な変形例について図14乃至図17を参照しながら説明する。図14は半導体装置90の第1の変形例を示す図であり、(a)は内部を示す平面図(4分の1)であり、(b)は(a)におけるXIV-XIV線に沿った断面図である。同様に、図15は半導体装置90の第2の変形例を示す図であり、(a)は内部を示す平面図(4分の1)であり、(b)は(a)におけるXV-XV線に沿った断面図である。また、図16は半導体装置90の第3の変形例を示す図であり、(a)は内部を示す平面図(4分の1)であり、(b)は(a)におけるXVI-XVI線に沿った断面図である。また、図17は半導体装置90の第4の変形例を示す図であり、(a)は内部を示す平面図(4分の1)であり、(b)は(a)におけるXVII-XVII線に沿った断面図である。

【0106】図14に示す第1の変形例は、図10に示す半導体装置70と基本的に同じ構成であるが、フレキシブルプリント基板76のボンディングパッド76dと下側の半導体素子72の電極72aとを接続するボンディングワイヤ84Aが追加されている点が異なる。すなわち、図14に示す第1の変形例では、下側の半導体素子72はフェイスアップでフレキシブルプリント基板26に搭載されてワイヤボンディングされ、上側の半導体素子74はフレキシブル基板を介してフェイスアップで搭載されてワイヤボンディングされている。ボンディングワイヤ84Aは、上側の半導体素子74と下側の半導体素子72とを電気的に接続するものである。これにより、上側の半導体素子74と下側の半導体素子との間での信号の伝達経路が短縮され、高速な信号の伝達が可能となる。

【0107】図15に示す第2の変形例は、図10に示す半導体装置70と基本的に同じ構成であるが、下側の半導体素子72をフェイスダウンでフレキシブルプリント基板26に搭載した点が異なる。すなわち、下側の半導体素子72はフレキシブルプリント基板26に対してフリップチップボンディングされており、上側の半導体素子74はフレキシブルプリント基板76を介してフェイスアップで搭載されワイヤボンディングされている。

【0108】図16に示す第3の変形例は、図10に示す半導体装置70と基本的に同じ構成であるが、上側の半導体素子74をフェイスダウンでフレキシブルプリント基板76に搭載した点が異なる。すなわち、上側の半導体素子74はフレキシブルプリント基板76に対してフリップチップボンディングされており、下側の半導体素子72はフレキシブルプリント基板26に搭載されワイヤボンディングされている。

【0109】図17に示す第4の変形例は、上述の第2の変形例と第3の変形例を組み合わせたもので、上側の半導体素子74及び下側の半導体素子72の両方ともフェイスダンで搭載されている。すなわち、上側の半導体素子74はフレキシブルプリント基板76に対してフリップチップボンディングされており、下側の半導体素子72もフレキシブルプリント基板26に対してフリップチップボンディングされている。

【0110】以上のような本発明の第2の実施の形態及びその変形例による半導体装置において、フレキシブルプリント基板76（第2の基板）を図18に示すように構成することにより、ハンダリフロー時半導体装置内部からの水分排出効果を得ることができる。図18は下側の半導体装置72の上にフレキシブルプリント基板76を積層した状態を示す平面図である。

【0111】本発明による半導体装置において、下側の半導体素子72は複数個つながった状態でその上にフレキシブルプリント基板76及び上側の半導体素子74を積層し、樹脂封止した後にダイシング等により分離して個々の半導体装置を形成することとしてもよい。この場合、第2の基板としてのフレキシブルプリント基板76は複数個つながった状態で一枚のシートとして供給される。

【0112】ここで、一枚のシートにおける各フレキシブルプリント基板76を、図18に示すようにその四隅で繋げることをとする。この場合、各フレキシブルプリント基板76を繋げる延出部76Aは、半導体装置を個片化する際の切断ライン（ダイシングライン）において切断される。したがって、図19に示すように、切断された第2の基板の延出部76Aの端面（切断面）は分離された半導体装置の側面に露出した状態となる。

【0113】このように、第2の基板であるフレキシブルプリント基板76の延出部76Aが半導体装置の封止樹脂40から露出した構成とすると、半導体装置の内部に存在する水分はハンダリフローの際に延出部76Aと封止樹脂40との界面に沿って移動し排出される。これにより、ハンダリフローの際に水分の蒸発により半導体装置の内部に発生するボイドを防止することができ、半導体装置の信頼性を高めることができる。

【0114】なお、延出部76Aを設ける位置は、フレキシブルプリント基板76の四隅に限ることなく、任意の位置とすることもできる。図19において3つの延出部

76Aの切断面が示されているが、中央に位置する切断面は4隅に設けられた場合の切断面を示しており、左右の切断面は延出部76Aがフレキシブルプリント基板76の四隅の間の各辺の任意の位置に設けられた場合の切断面を示している。

【0115】また、第2の基板としてのフレキシブルプリント基板76に、図20に示すように金属層76Bのような熱伝導性の良好な材料の層を実質的に全面にわたって設けることにより、半導体素子72及び74の熱を拡散し放出することができる。これにより、部分的に大きな発熱があっても半導体装置内部の温度を平均化することができ、部分的な高温部分を防止することができる。また、上述の延出部76Aにより熱を外部に放出する効果を一層高めることができる。

【0116】次に、本発明の第3の実施の形態による積層型半導体装置について説明する。本発明の第3の実施の形態における積層型半導体装置は、半導体装置内に試験専用チップが設けられたものである。

【0117】上述の実施の形態において、半導体装置内で積層される半導体素子はパッケージ内で互いに接続される場合がある。例えば、図13に示す上側の半導体素子74-1、74-2は、フレキシブルプリント基板76を介して下側の半導体素子72に接続されているだけの場合もあり得る。一般的に、積層型半導体装置では、内部の半導体素子が半導体装置の内部だけで機能し、外部との接続を必要としない場合がある。

【0118】しかし、半導体素子を半導体装置としてパッケージした後は、各半導体素子の機能を確認するために試験を行う必要があり、そのためには、半導体装置の外部に設けられた試験回路を各半導体素子に接続する必要がある。上述のように、半導体装置内だけで機能する半導体素子は外部に接続する端子を必要としないため、試験のためだけに外部接続端子を設けることとなる。すなわち、半導体装置に試験用端子を追加することとなり、結果として半導体装置の寸法が増大してしまう。

【0119】図21は、試験用端子の追加による半導体装置の寸法を増大を示す図である。図21(a)は試験用端子が無い場合の半導体装置の断面図であり、図21(b)は試験用端子を追加した場合の半導体装置の断面図である。図21(a)に示す半導体装置及び図21(b)に示す半導体装置共に同じサイズの下側の半導体素子102及び上側の半導体素子104を有しているが、通常の端子106に加えて試験用端子106Aを基板108に形成することにより、半導体装置自体の寸法が増大している。

【0120】そこで、予め半導体素子内に試験回路を形成しておき、自己機能診断を行うことのできる半導体素子が提案されている。自己機能診断技術は、一般にBIST (Built in Self Test) と称され、半導体装置の試験の容易化を目的とするものである。BIST技術によ

10

20

30

40

50

る半導体素子を用いることにより、試験用端子を設ける必要はなくなり、端子数の増加による半導体装置の寸法の増大を阻止することはできる。しかし、BIST技術を用いるには、半導体素子の開発段階から試験回路を内蔵するか否かを検討しなければならない。特に、複数の半導体素子を積層する場合は、半導体素子の組み合わせも開発段階から考慮しなければならない。このため、BIST技術を用いた場合、半導体素子の設計段階から積層することを考慮して組み込むべき試験回路を検討しなくてはならず、設計に多大な労力と時間を必要とするという問題がある。また、BIST技術を既存の半導体素子の組み合わせ構造に用いることが難しいといった問題がある。

【0121】また、BIST技術を用いることにより端子数が減っても、半導体素子に試験回路を設けるために半導体素子自体の寸法が増大する。例えば、図22に示すように、積層する半導体素子の下側の半導体素子102に試験回路を組み込んだ場合、半導体素子102の寸法の増大に伴って基板108の寸法も増大し、結果として半導体装置の寸法も増大してしまう。また、図23に示すように、上側の半導体素子104に試験回路を組み込んだ場合、試験回路が組み込まれていない場合の半導体装置104は積層可能であっても、試験回路を組み込んだ半導体装置104は積層できなくなるといった問題が生じることもある。

【0122】そこで、本発明の第3の実施の形態では、試験回路専用の半導体素子を別個に作成し、積層する半導体素子の一つとして加えている。

【0123】図24は本発明の第3の実施の形態による積層型半導体装置110の断面図である。積層型半導体装置110において、下側の半導体装置102は接着剤112を介してフェイスアップで基板108に搭載されている。半導体装置102の回路形成面には再配線層114が形成され、最配線層114に設けられた電極と基板108に設けられた電極108aとはボンディングワイヤ116により接続されている。上側の半導体素子104は、再配線層114の上に接着剤118を介して固定されている。半導体素子104の電極はボンディングワイヤ120により再配線層114に接続されている。

【0124】ここで、本実施の形態では、試験回路のみが形成された半導体素子122が、再配線層114の空きスペースに搭載され、接着材124により固定されている。半導体素子122の電極はボンディングワイヤ126により再配線層114に接続されている。すなわち、試験用の半導体素子122は、下側の半導体素子102が上側の半導体素子104に比較して十分大きく、再配線層114に空きスペースがあることが望ましい。

【0125】上述の第1の半導体素子102、第2の半導体素子104及び試験用半導体素子122及びボンディングワイヤ116、120、126は、基板108上

で封止樹脂130により封止されている。

【0126】以上の構成において、試験用の半導体素子122は再配線層114を介して半導体素子102及び104に接続されており、半導体素子102及び104の試験を行うための回路を提供している。したがって、試験用の半導体素子122に外部からテストデータを入力するための端子とテスト結果を出力するための端子とを基板108に設けるだけで、半導体素子102及び104の試験を行うことができる。すなわち、半導体素子102及び104の電極全てに外部から接続できるように基板108に端子106を設ける必要はなく、半導体素子112に必要な端子を追加するだけで試験を行うことができる。

【0127】試験用の半導体素子122は、積層される半導体素子102及び104とが決定されてから設計してもよく、また、ある程度標準化した試験回路として予め準備しておくこともできる。半導体素子122は試験専用の回路のみを有しており、効率よく迅速に試験を行うことができる。また試験の容易化及び試験時間の短縮が達成できる。

【0128】なお、図24に示す積層型半導体装置110では、下側の半導体素子102の上に再配線層114を設けて上側の半導体素子104及び試験用の半導体素子122を搭載しているが、再配線層114を図10に示すようなフレキシブルプリント基板76により形成してもよい。フレキシブルプリント基板76は、例えばポリイミドテープに銅箔のような導電性材料を貼り付けてパターン化することにより形成したものとすることができ、フレキシブル基板76を用いた場合、図13に示す半導体装置90における半導体素子74-1及び74-2のうちいずれか一方を試験用半導体素子に置き換えた構成となる。

【0129】図25乃至27は、図24に示す積層型半導体装置110の変形例を示す。

【0130】図25は半導体装置110の第1の変形例を示す断面図である。図25に示す第1の変形例は、図24に示す半導体装置110と基本的に同じ構成であるが、試験用の半導体素子122をフェイスダウンで再配線層114に搭載した点が異なる。すなわち、試験用の半導体素子122は再配線層114に対してフリップチップボンディングされており、上側の半導体素子104はフェイスアップで再配線層114に搭載され、ワイヤボンディングされている。

【0131】図26は半導体装置110の第2の変形例を示す断面図である。図26に示す第2の変形例は、図26に示す半導体装置110と基本的に同じ構成であるが、半導体素子104をフェイスダウンで再配線層114に搭載した点が異なる。すなわち、上側の半導体素子104は再配線層114に対してフリップチップボンディングされており、試験用の半導体素子122はフェイス

スアッブで再配線層 114 に搭載され、ワイヤボンディングされている。

【0132】図 27 は半導体装置 110 の第 3 の変形例を示す断面図である。図 27 に示す第 3 の変形例は、図 24 に示す半導体装置 110 と基本的に同じ構成であるが、試験用の半導体素子 122 をフェイスダウンで再配線層 114 に搭載し且つ半導体素子 104 もフェイスダウンで再配線層 114 に搭載した点が異なる。すなわち、試験用の半導体素子 122 は再配線層 114 に対してフリップチップボンディングされており、上側の半導体素子 104 も再配線層 114 に対してフリップチップボンディングされている。

【0133】以上説明したように本発明は以下の発明を含むものである。

【0134】（付記 1）外部接続用端子が設けられた第 1 の基板と、該第 1 の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第 1 の端子と、該第 1 の基板上に搭載された少なくとも一つの第 1 の半導体素子と、該第 1 の半導体素子上に設けられた第 2 の基板と、該第 2 の基板上に搭載された少なくとも一つの第 2 の半導体素子とがパッケージされた積層型半導体装置であって、前記第 1 の半導体素子及び前記第 2 の半導体素子の少なくとも一方は、前記第 2 の基板の第 2 の端子に電氣的に接続され、且つ前記第 2 の端子は前記第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

（付記 2）付記 1 記載の積層型半導体装置であって、前記第 2 の半導体素子は前記第 1 の基板の第 1 の端子にワイヤボンディングされ、前記第 1 の半導体素子は前記第 2 の基板にフリップチップ実装され、前記第 2 の基板の第 2 の端子は前記第 1 の基板の第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

（付記 3）付記 2 記載の積層型半導体装置であって、前記第 2 の基板は前記第 2 の半導体素子の外形を超えて延出した延在部を有しており、前記第 2 の基板の第 2 の端子は該延在部に形成されたボンディングパッドであって、前記第 2 の端子は前記第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

（付記 4）付記 3 記載の積層型半導体装置であって、前記第 2 の基板の前記延在部に切り欠きが設けられ、前記第 2 の半導体素子と前記第 1 の基板の第 1 の端子とを接続するボンディングワイヤは前記切り欠き内を通して延在することを特徴とする積層型半導体装置。

（付記 5）付記 1 記載の積層型半導体装置であって、前記第 1 の半導体素子は前記第 1 の基板の前記第 1 の端子にワイヤボンディングされ、前記第 2 の半導体素子は前記第 2 の基板の前記第 2 の端子にワイヤボンディングされ前記第 2 の基板の前記第 2 の端子は前記第 1 の基板の前記第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

（付記 6）付記 5 記載の積層型半導体装置であって、前記第 2 の基板は前記第 2 の半導体素子の外形を超えて延出した延在部を有しており、前記第 2 の基板の前記第 2 の端子は該延在部に形成された第 1 のボンディングパッドを介して前記第 1 の基板の前記第 1 の端子にワイヤボンディングされたことを特徴とする積層型半導体装置。

（付記 7）付記 6 記載の積層型半導体装置であって、前記第 2 の半導体素子は前記第 2 の基板に形成された第 2 のボンディングパッドにワイヤボンディングされ、該第 2 のボンディングパッドは前記第 2 の基板上に形成されたパターン配線を介して前記第 1 のボンディングパッドに接続されたことを特徴とする積層型半導体装置。

（付記 8）付記 1 記載の積層型半導体装置であって、前記第 2 の基板は周囲に向かって延出した延出部を有し、該延出部はパッケージされた半導体装置の側面に露出した端面を有することを特徴とする積層型半導体装置。

（付記 9）付記 8 記載の積層型半導体装置であって、前記延出部の端面は前記積層型半導体装置を個片化する際の切断により形成された切断面であることを特徴とする積層型半導体装置。

（付記 10）付記 1 記載の積層型半導体装置であって、前記第 2 の基板の前記第 2 の端子が設けられた面とは反対側の面に実質的に全面に渡って導電層が設けられたことを特徴とする積層型半導体装置。

（付記 11）外部接続用端子が設けられた第 1 の基板と、該第 1 の基板上に積層状態で搭載された複数の半導体素子と、該複数の半導体素子の間に設けられた第 2 の基板とを有し、前記第 1 の基板上に前記半導体素子と前記第 2 の基板とがパッケージされた積層型半導体装置であって、前記第 2 の基板は、直上の半導体素子の外周より延出した延在部を有しており、前記半導体素子のうち直上又及び直下の半導体素子の少なくとも一方に電氣的に接続されたボンディングパッドが前記延在部に設けられ、該ボンディングパッドはワイヤボンディングにより前記第 1 の基板に電氣的に接続されたことを特徴とする積層型半導体装置。

（付記 12）付記 11 記載の積層型半導体装置であって、前記半導体素子は同種類の半導体素子であり、前記第 1 の基板に対して同じ位置の垂直方向に積層されたことを特徴とする積層型半導体装置。

【0135】（付記 13）付記 11 又は 12 記載の積層型半導体装置であって、前記第 2 の基板の延在部の延在長さは、前記第 1 の基板に近づくほど大きくなり、最上段に位置する第 2 の基板から順に直下の第 2 の基板にワイヤボンディングされ、最下段に位置する第 2 の基板は第 1 の基板にワイヤボンディングされたことを特徴とする積層型半導体装置。

【0136】（付記 14）付記 11 又は 12 記載の積層型半導体装置であって、前記第 2 の基板の延在部は実質的に等しい延在長さを有しており、前記第 2 の基板の各

々は前記第1の基板に直接ワイヤボンディングされたことを特徴とする積層型半導体装置。

【0137】(付記15) 外部接続用端子が設けられた第1の基板と、該第1の基板の該外部接続用端子が設けられた面の反対側の面に設けられた第1の端子と、該第1の基板上に搭載された少なくとも一つの第1の半導体素子と、該第1の半導体素子上に設けられた再配線層と、該再配線層上に搭載された少なくとも一つの第2の半導体素子と、該再配線層上に搭載された試験用半導体素子とがパッケージされた積層型半導体装置であって、前記第1の半導体素子及び前記第2の半導体素子の少なくとも一方は、前記再配線層を介して前記第1の基板に電気的に接続され、且つ前記試験用半導体素子は前記再配線層に電気的に接続されたことを特徴とする積層型半導体装置。(12)

(付記16) 付記15記載の積層型半導体装置であって、前記再配線層は銅板又は銅箔をパターン化することにより形成したことを特徴とする積層型半導体装置。

【0138】(付記17) 付記15記載の積層型半導体装置であって、前記再配線層はフレキシブルプリント基板よりなることを特徴とする積層型半導体装置。

【0139】(付記18) 付記17記載の積層型半導体装置であって、前記フレキシブルプリント基板は、導電パターンが形成されたポリイミドテープよりなることを特徴とする積層型半導体装置。

【0140】(付記19) 積層型半導体装置の製造方法であって、第1の半導体素子に突起電極を形成し、前記第1の半導体素子を第2の基板にフリップチップ実装し、該第2の基板の前記第1の半導体素子の反対側に、前記第2の基板より小さい寸法を有する第2の半導体素子を固定すると共に前記第1の半導体素子を第1の基板の表面に固定し、前記第1及び第2の半導体素子の各々を前記第1の基板にワイヤボンディングし、前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とする積層型半導体装置の製造方法。(13)

(付記20) 積層型半導体装置の製造方法であって、第1の基板の表面に第1の半導体素子を固定すると共に、該第1の半導体素子の上に第2の基板を固定し、且つ該第2の基板より小さい寸法を有する第2の半導体素子を前記第2の基板の上に固定し、前記第2の半導体素子を前記第2の基板にワイヤボンディングすると共に、前記第2の基板及び前記第1の半導体素子の各々を前記第1の基板にワイヤボンディングし、前記第1の基板上において、前記第1及び第2の半導体素子及び前記第2の基板を一体的に封止し、前記第1の基板の裏面に外部接続用電極を形成する各工程を有することを特徴とする積層型半導体装置の製造方法。(14)

【発明の効果】 上述の如く本発明によれば、次に述べる

種々の効果を実現することができる。

【0141】請求項1記載の発明によれば、第1及び第2の半導体素子のうちの一方を、外部接続用電極が設けられた第1の基板に対して直接電気的に接続し、他方を第2の基板を介して第1の基板に電気的に接続することができる。したがって、第1の半導体素子と第2の半導体素子とが同じサイズであっても、一方を直接第1の基板の第1の端子にワイヤボンディングし、他方を第2の基板の第2の端子を介してワイヤボンディングにより第1の基板に電気的に接続することができる。また、第2の半導体素子が第1の半導体素子よりかなり小さい場合でも、第1の半導体素子を直接第1の基板の第1の2端子ワイヤボンディングし、第2の半導体素子を第2の基板の第2の端子を介して第1の基板の第1の端子にワイヤボンディングにより電気的に接続することができる。したがって、第2の基板を第1の半導体素子と第2の半導体素子との間に設けることにより、任意のサイズの複数の半導体素子を積層状態で一つのパッケージに収容することができる。

【0142】請求項2記載の発明によれば、第1の半導体素子を第2の基板にフリップチップ実装することにより、第1の半導体素子の電極を第2の基板の反対側に形成されたボンディングパッドに電気的に接続することができる。このボンディングパッドを第1の基板の第1の端子にワイヤボンディングすることにより、第1の半導体素子を第1の基板に電気的に接続することができる。また、第2の半導体素子を第2の基板上に電極を上に向けて固定することにより、第2の半導体素子は第1の基板の第1の端子に直接ワイヤボンディングすることができる。

【0143】請求項3記載の発明によれば、第2の基板の延在部にボンディングパッドを設けることにより、第1の基板へのワイヤボンディングの距離が小さくなり、確実なワイヤボンディングを行うことができる。

【0144】請求項4記載の発明によれば、ボンディングワイヤが切り欠き部を通過するように構成することにより、ボンディングワイヤの長さを短くすることができ、ボンディングワイヤが周囲の部品又は隣接するボンディングワイヤに接触することを防止することができる。

【0145】請求項5記載の発明によれば、第2の半導体素子が第2の基板の第2の端子にワイヤボンディングされ、第2の半導体素子が第1の基板の第1の端子にワイヤボンディングされる。このため、第2の半導体素子が第1の半導体素子よりかなり小さいサイズであっても、ワイヤボンディングの距離を長くすることなく、第2の半導体素子を第1の基板に電気的に接続することができる。

【0146】請求項6記載の発明によれば、第2の基板の延在部にボンディングパッドを設けることにより、第

1の基板へのワイヤボンディングの距離が小さくなり、
 確実なワイヤボンディングを行うことができる。

【0147】請求項7記載の発明によれば、第2の基板
 に形成されたパターン配線を介して、第2の半導体素子
 の電極を第2の基板の任意の位置に引き回すことがで
 ける。したがって、ワイヤボンディングの位置を任意の位
 置に変更することができ、自由度の高いワイヤボンディ
 ングを実現することができる。

【0148】請求項8記載の発明によれば、第2の基板
 の延出部は半導体装置の内部から延在して側面に露出
 する。半導体装置の内部に存在する水分は、延出部と封止
 樹脂との界面に沿って移動し、側面に露出した部分から
 半導体装置の外部に放出される。したがって、ハンダリ
 フローの際に半導体装置内部に閉じ込められた水分が急
 激に蒸発することに起因したボイドの発生などを防止す
 ることができ、半導体装置の信頼性を向上することがで
 ける。

【0149】請求項9記載の発明によれば、複数の第2
 の基板同士を繋ぐ部分を延出部として形成し、半導体装
 置を個片化する際に延出部を切断することで、半導体装
 置の側面に露出した延出部の端面を容易に形成すること
 ができる。

【0150】請求項10記載の発明によれば、第2の基
 板の伝熱層は半導体装置内の熱を拡散して温度分布を均
 一化するよう作用し、半導体装置の温度を実質的に下げ
 ることができる。伝熱層は金属層であることが好まし
 い。

【0151】請求項11記載の発明によれば、任意の数
 の同種類の半導体装置を積層状態で第1の基板上に配置
 してパッケージすることができる。上述の発明におい
 て、例えば、前記半導体素子は同種類の半導体素子であ
 り、第1の基板に対して同じ位置の垂直方向に積層され
 ることとしてもよい。また、第2の基板の延在部の延在
 長さは、第1の基板に近づくほど大きくなり、最上段に
 位置する第2の基板から順に直下の第2の基板にワイヤ
 ボンディングされ、最下段に位置する第2の基板は第1
 の基板にワイヤボンディングされることとしてもよい。
 さらに、第2の基板の延在部は実質的に等しい延在長さ
 を有しており、第2の基板の各々は第1の基板に直接ワ
 イヤボンディングされることとしてもよい。

【0152】請求項12記載の発明によれば、第1の半
 導体素子上に再配線層を介して第2の半導体素子と試験
 用半導体素子とが搭載される。第1の半導体素子及び第
 2の半導体素子の試験を行うための試験回路を試験用半
 導体素子に形成することにより、半導体装置内部に試験
 回路を容易に組み込むことができる。また、第1及び第
 2の半導体素子の全ての電極を半導体装置の外部に引き
 出す必要はなく、試験用回路に接続する入力及び出力端
 子を半導体装置に設けるだけでよい。これにより、半導
 体装置の寸法を増大することなく試験回路を組み込むこ

とができる。

【0153】請求項13記載の発明によれば、第1の半
 導体素子を第2の基板にフリップチップ実装することによ
 り、第1の半導体素子の電極を第2の基板の反対側に
 形成されたボンディングパッドに電気的に接続すること
 ができる。このボンディングパッドを第1の基板にワイ
 ヤボンディングすることにより、第1の半導体素子を第
 1の基板に電気的に接続することができる。また、第2
 の半導体素子を第2の基板上に電極を上に向けて固定す
 ることにより、第2の半導体素子は第1の基板に直接ワ
 イヤボンディングすることができる。

【0154】請求項14記載の発明によれば、第2の半
 導体素子が第2の基板にワイヤボンディングされ、第2
 の半導体素子が第1の基板にワイヤボンディングされ
 る。このため、第2の半導体素子が第1の半導体素子よ
 りかなり小さいサイズであっても、ワイヤボンディング
 の距離を長くすることなく、第2の半導体素子を第1の
 基板に電気的に接続することができる。

【図面の簡単な説明】

【図1】2つの半導体素子を積層して形成した従来のS
 -MCPの構成を示す図である。

【図2】上側の半導体素子と下側の半導体素子の配置関
 係を示す図である。

【図3】本発明の第1の実施の形態による積層型半導体
 装置の一部の断面図である。

【図4】本発明の第1の実施の形態による積層型半導体
 装置の製造工程を説明するための図である。

【図5】図3に示す半導体装置における2つの半導体素
 子を同種類のメモリチップとした場合の配線例を示す図
 である。

【図6】図5に示す配線例を実現するために設けられる
 ボンディングワイヤの一部を示す簡略図である。

【図7】図5に示す配線を変更してI/O構成を2倍に
 した場合の配線例を示す図である。

【図8】図7に示す配線例を実現するために設けられる
 ボンディングワイヤの一部を示す簡略図である。

【図9】本発明の第1の実施の形態に基づいて半導体素
 子を複数個積層した半導体装置の断面図である。

【図10】本発明の第2の実施の形態による積層型半導
 体装置の一部の断面図である。

【図11】本発明の第2の実施の形態による積層型半導
 体装置の積層構造を示す斜視図である。

【図12】本発明の第2の実施の形態による積層型半導
 体装置の製造工程を説明するための図である。

【図13】上側の半導体素子を複数個とした半導体装置
 の断面図である。

【図14】本発明の第2の実施の形態による半導体装置
 の第1の変形例を示す図であり、(a)は内部を透視し
 た平面図、(b)は(a)のXIV-XIV線に沿った
 断面図である。

【図15】本発明の第2の実施の形態による半導体装置の第2の変形例を示す図であり、(a)は内部を透視した平面図、(b)は(a)のXV-XV'線に沿った断面図である。

【図16】本発明の第2の実施の形態による半導体装置の第3の変形例を示す図であり、(a)は内部を透視した平面図、(b)は(a)のXVI-XVI'線に沿った断面図である。

【図17】本発明の第2の実施の形態による半導体装置の第4の変形例を示す図であり、(a)は内部を透視した平面図、(b)は(a)のXVII-XVII'線に沿った断面図である。

【図18】本発明の第2の実施の形態による半導体装置において、下側の半導体装置の上にフレキシブルプリント基板を積層した状態を示す平面図である。

【図19】図18に示す延在部の切断面を示す斜視図である。

【図20】第2の基板に金属層を設けた構成を示す側面図である。

【図21】試験用端子の追加による半導体装置の寸法の増大を示す図であり、(a)は試験用端子が無い場合の半導体装置の断面図であり、図21(b)は試験用端子を追加した場合の半導体装置の断面図である。

【図22】下側の半導体素子に試験回路を組み込んだ場合の半導体装置の寸法の増大を示す図であり、(a)は試験回路を組み込まない半導体素子を用いた場合の半導体装置の断面図であり、図21(b)は試験回路を組み込んだ半導体素子を用いた場合の半導体装置の断面図である。

*【図23】上側の半導体素子に試験回路を組み込んだ場合の問題を示す図であり、(a)は試験回路を組み込まない半導体素子を用いた場合の半導体装置の断面図であり、図21(b)は試験回路を組み込んだ半導体素子を用いた場合の半導体装置の断面図である。

【図24】本発明の第3の実施の形態による積層型半導体装置の断面図である。

【図25】図24に示す半導体装置の第1の変形例を示す断面図である。

【図26】図24に示す半導体装置の第2の変形例を示す断面図である。

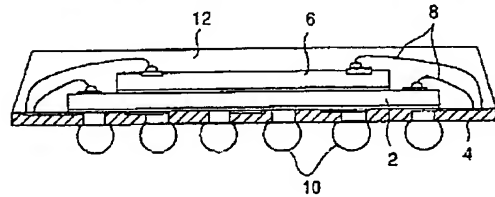
【図27】図24に示す半導体装置の第3の変形例を示す断面図である。

【符号の説明】

20, 50, 60, 70, 90, 110 半導体装置
22, 24, 72, 74, 102, 104, 122 半導体素子
22a, 24a, 72a, 74a 電極
26, フレキシブルプリント基板
26a, 32d, 76b, 76d ボンディングパッド
30 ハンダボール
32 プリント回路基板
38a, 38b, 82, 84, 86, 116, 120, 126 ボンディングワイヤ
40 封止樹脂
106 端子
108 基板
114 再配線層
130 封止樹脂

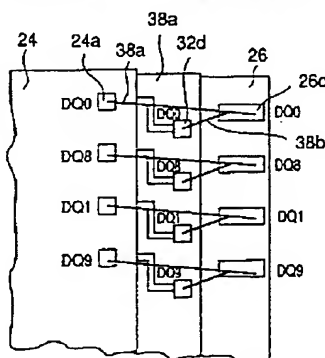
【図1】

2つの半導体素子を積層して形成した従来のS-MCPの構成を示す図



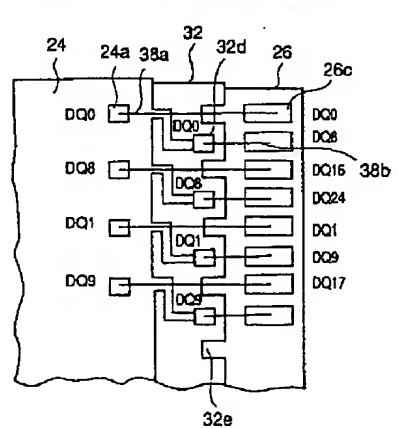
【図6】

図5に示す配線列を実現するために設けられるボンディングワイヤの一部を示す略図



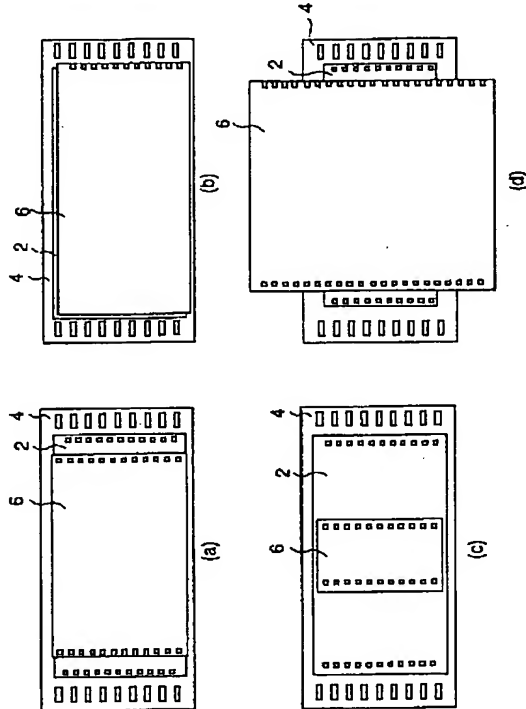
【図8】

図7に示す配線列を実現するために設けられるボンディングワイヤの一部を示す略図



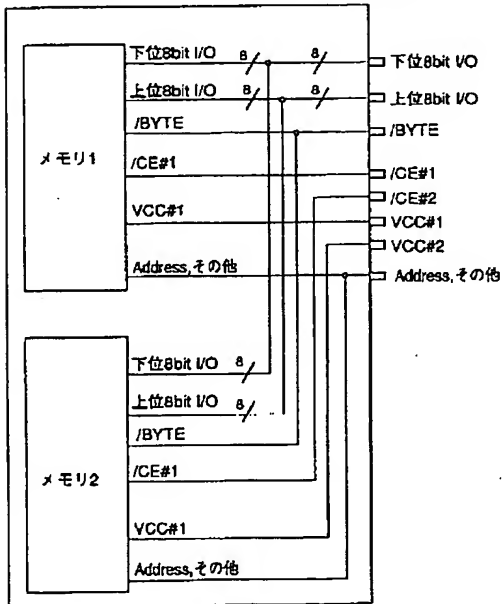
【図2】

上側の半導体素子と下側の半導体素子の配置関係を示す図



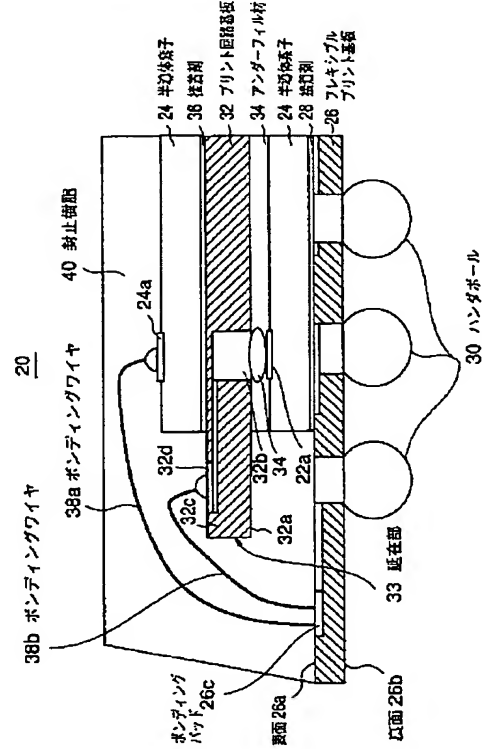
【図5】

図3に示す半導体装置における2つの半導体素子を同種類のメモリチップとした場合の配線列を示す図



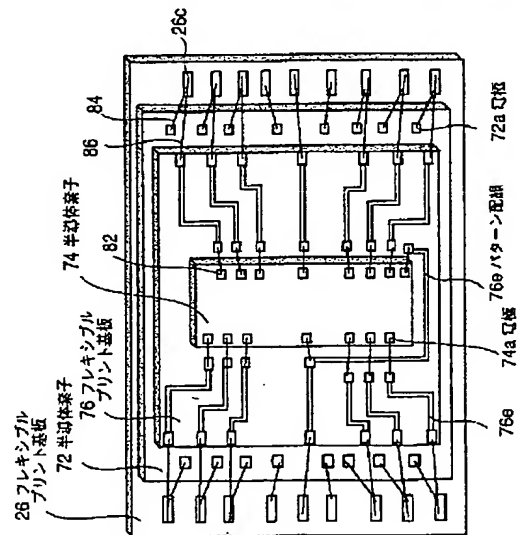
【図3】

本発明の第1の実施の形態による積層型半導体装置の一部の断面図

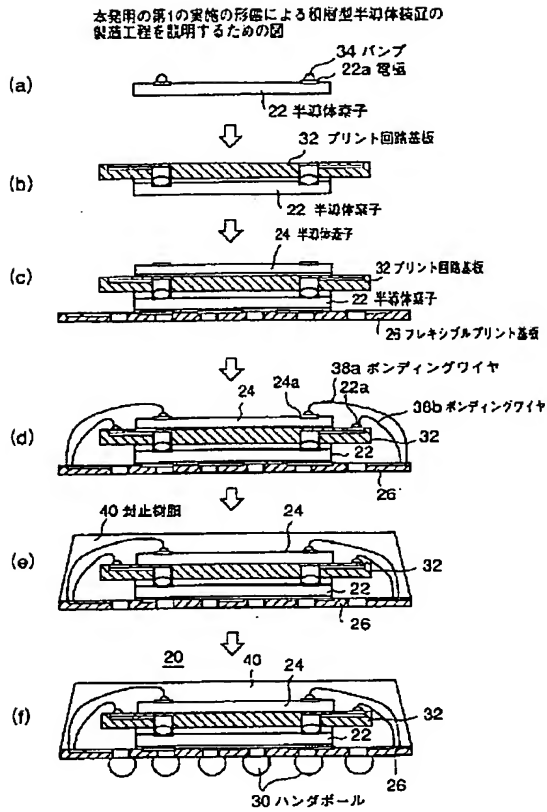


【図11】

本発明の第2の実施の形態による積層型半導体装置の積層構造を示す斜視図

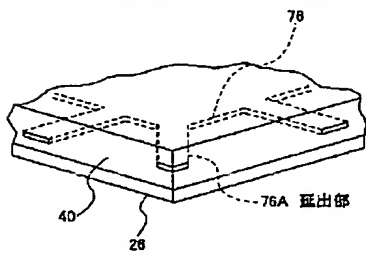


【図4】



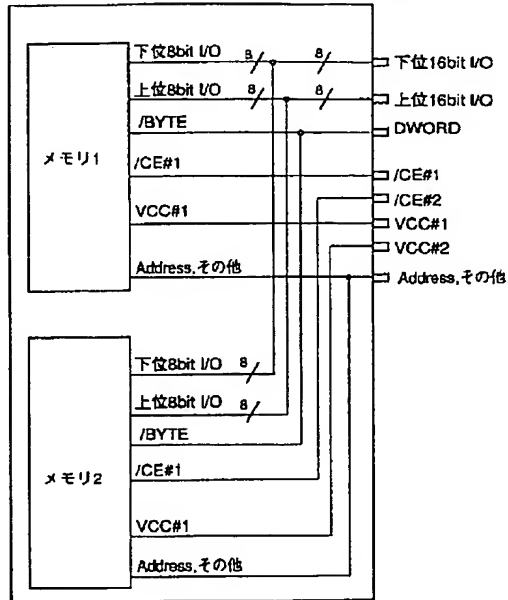
【図19】

図18に示す延在部の切断面を示す斜視図



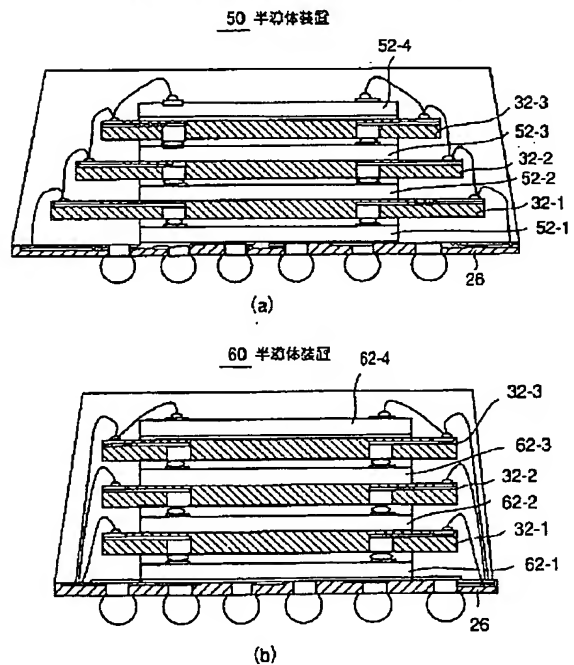
【図7】

図5に示す配線を変更してI/O構成を2倍にした場合の配線列を示す図



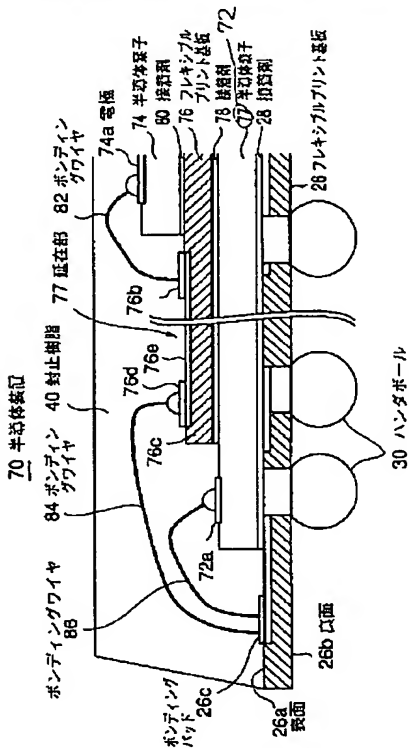
【図9】

本発明の第1の実施の形態に基づいて半導体素子を複数個積層した半導体装置の断面図



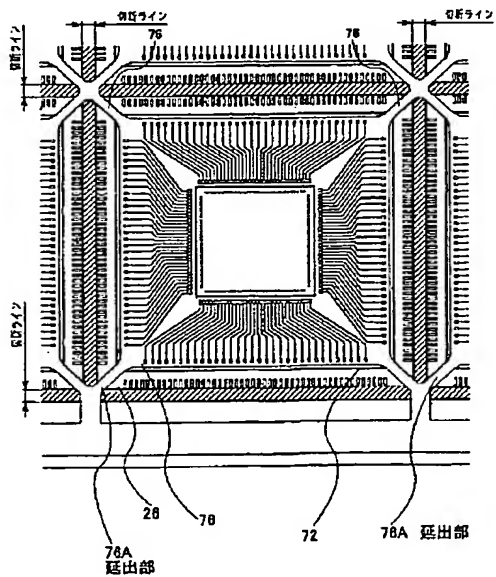
【圖 10】

本発明の第2の実施の形態による積層型半導体装置の一部の断面図



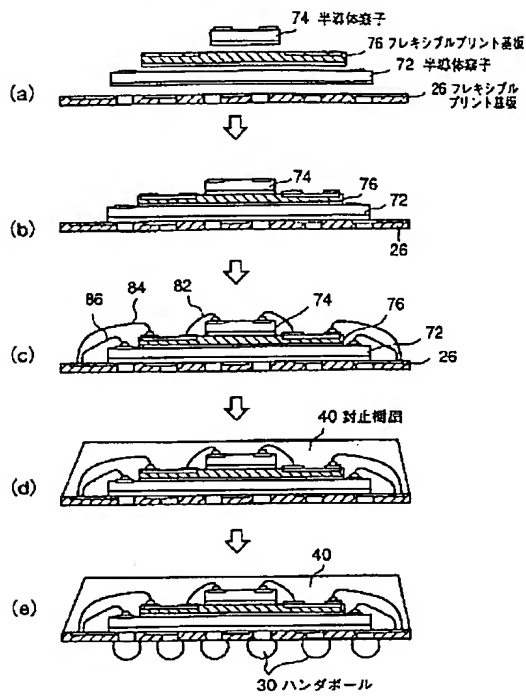
【圖 18】

本発明の第2の実施の形態による半導体装置において、下側の半導体装置の上にフレキシブルプリント基板を積層した状態を示す平面図



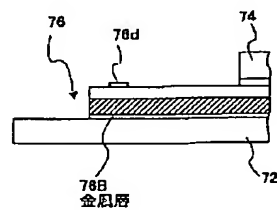
【圖 12】

本発明の第2の実施の形態による積層型半導体装置の製造工程を説明するための図



【図20】

第2の基板に金属層を設けた構成を示す側面図

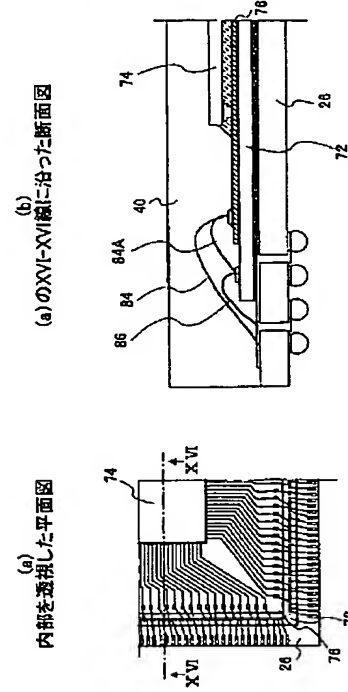
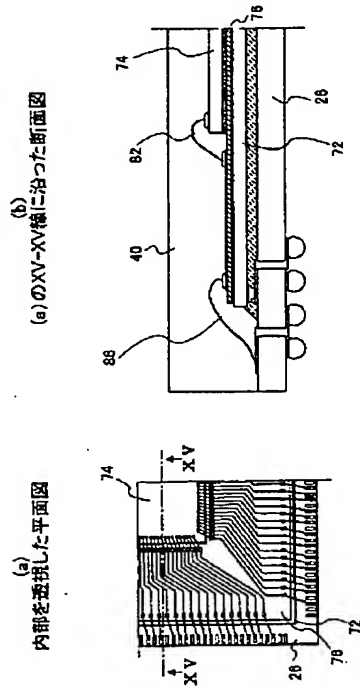


【図15】

【図16】

本発明の第2の実施の形態による半導体装置の第2の変形例を示す図

本発明の第2の実施の形態による半導体装置の第3の変形例を示す図

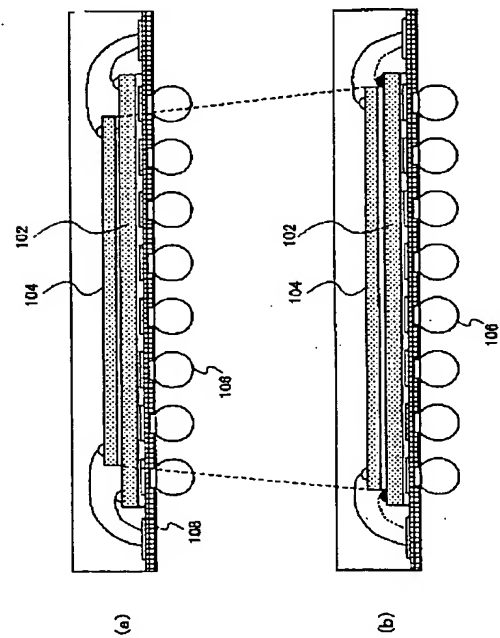
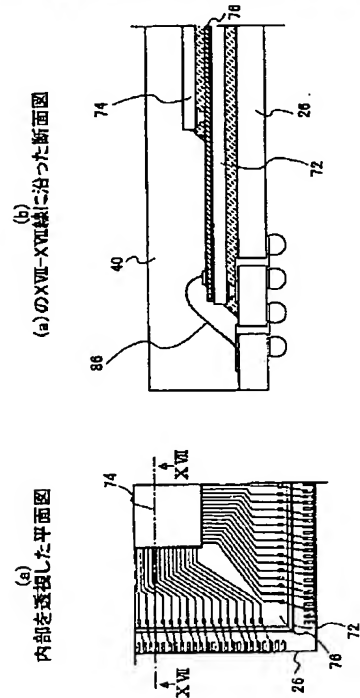


【図17】

【図23】

本発明の第2の実施の形態による半導体装置の第4の変形例を示す図

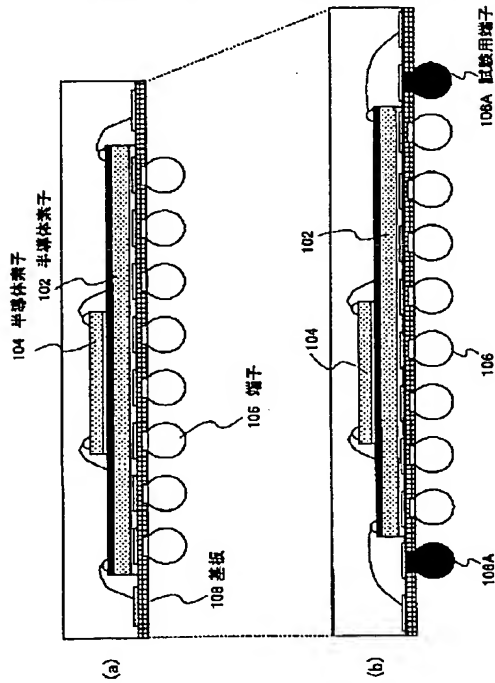
上側の半導体素子に試験回路を組み込んだ場合の問題を示す図
(a) 試験回路を組み込まない半導体素子を用いた場合の半導体装置の断面図
(b) 試験回路を組み込んだ半導体素子を用いた場合の半導体装置の断面図



【図 21】

試験用端子の追加による半導体装置の寸法の増大を示す図

- (a) 試験用端子が無い場合の半導体装置の断面図
 (b) 試験用端子を追加した場合の半導体装置の断面図

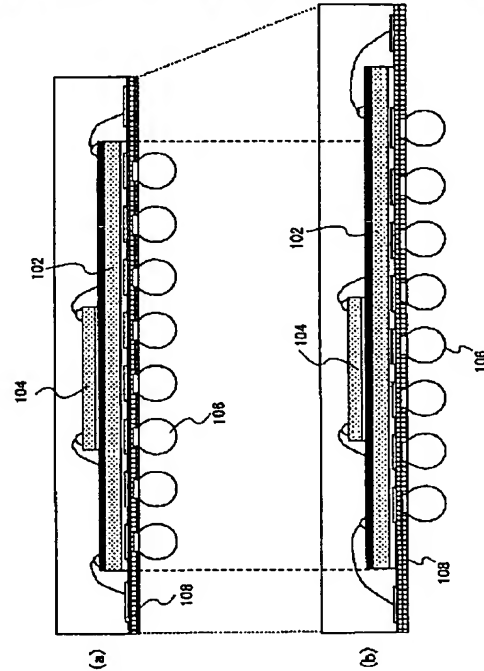


【図 22】

下側の半導体素子に試験回路を組み込んだ場合の

半導体装置の寸法の増大を示す図

- (a) 試験回路を組み込まない半導体素子を用いた場合の半導体装置の断面図
 (b) 試験回路を組み込んだ半導体素子を用いた場合の半導体装置の断面図



フロントページの続き

- (72)発明者 機館 美弘
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
- (72)発明者 明石 裕二
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内
- (72)発明者 小澤 要
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
- (72)発明者 高島 晃
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

- (72)発明者 宇野 正
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
- (72)発明者 西村 隆雄
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
- (72)発明者 安藤 史彦
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
- (72)発明者 小野寺 浩
宮城県柴田郡村田町大字村田字西ケ丘 1 番
地の 1 株式会社富士通宮城エレクトロニ
クス内
- (72)発明者 奥田 勇人
福島県会津若松市門田町工業団地 4 番地
株式会社富士通東北エレクトロニクス内